

**PAT-NO: JP360186053A**

**DOCUMENT-IDENTIFIER: JP 60186053 A**

**TITLE: THIN FILM COMPLEMENTARY MOS CIRCUIT**

**PUBN-DATE: September 21, 1985**

**INVENTOR-INFORMATION:**

**NAME**

**TSUNEKAWA, YOSHIFUMI**

**ASSIGNEE-INFORMATION:**

**NAME**

**SEIKO EPSON CORP**

**COUNTRY**

**N/A**

**APPL-NO: JP59042411**

**APPL-DATE: March 6, 1984**

**INT-CL (IPC): H01L027/08, H01L029/78**

**US-CL-CURRENT: 257/351, 257/E27.111**

**ABSTRACT:**

**PURPOSE:** To microminiaturize a CMOS circuit by forming N type TFT and P type TFT on the same semiconductor to form a thin film CMOS circuit, thereby reducing a transistor interval and connecting a common electrode with only one contact.

**CONSTITUTION:** A semiconductor layer 12 is formed on an insulating

Best Available Copy

**substrate**

**11, etched in the suitable shape, and a gate film is formed. Then, after a semiconductor layer is formed, a gate electrode 17 is formed by impurity diffusing or highly conductive material, the source and drain regions of N type**

**TFT and P type TFT are coupled by ion implanting of an impurity ion beam. The**

**source and drain regions are separately formed at the N type and P type TFTs**

**with the TFT of one side with a resist as a mask. The source and drain regions**

**are formed on the same semiconductor layer of both the transistors, and particularly in the drain regions are sufficiently approached between the both**

**transistors in a structure like 13, 14, 15. Then, after an interlayer insulating layer 18 is formed, a contact is formed by a conductive material, thereby forming an inverter.**

**COPYRIGHT: (C)1985,JPO&Japio**

Best Available Copy

⑤ 日本国特許庁(JP) ⑥ 特許出願公開  
 ⑦ 公開特許公報(A) 昭60-186053

⑧ Int.Cl.<sup>4</sup> 識別記号 庁内整理番号 ⑨ 公開 昭和60年(1985)9月21日  
 H 01 L 27/08 102 6855-5F  
 29/78 8422-5F 審査請求 未請求 発明の数 1 (全3頁)

⑩ 発明の名称 薄膜相補型MOS回路

⑪ 特 願 昭59-42411

⑫ 出 願 昭59(1984)3月6日

⑬ 発 明 者 恒 川 吉 文 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内  
 ⑭ 出 願 人 株式会社諏訪精工舎 東京都新宿区西新宿2丁目4番1号  
 ⑮ 代 理 人 弁理士 最 上 務

明 細 書

1 発明の名称

薄膜相補型MOS回路

2 特許請求の範囲

N型薄膜トランジスタおよびP型薄膜トランジスタで構成する薄膜相補型MOS回路において、前記N型薄膜トランジスタと前記P型薄膜トランジスタの共通となるソース領域またはドレイン領域を、同一の半導体薄膜中に形成し、かつ同一のコンタクトホールから共通電極を形成することを、特徴とする薄膜相補型MOS回路。

3 発明の詳細な説明

〔技術分野〕

本発明は、薄膜トランジスタ（以下N型トランジスタと記す。）で構成する、薄膜相補型MOS回路（以下薄膜CMOS回路と記す。）の共通電極部の構造に関するものである。

〔従来技術〕

従来のシリコンウエハに形成する、N型MOSトランジスタおよびP型MOSトランジスタより構成されるCMOS回路では、各々のトランジスタを同一ウエハに形成する際、N型ウエハ使用の時はP型ウェルを、P型ウエハ使用の時はN型ウェルを形成した後、ウエハ内のウェル部と、ウェル部以外に、別々にMOSトランジスタを形成し、共通電極領域を、アルミニウム等の導電体材料で接続してCMOS構造とするものであって、この方法では、必ずウエハとは逆の異なるウエハが必要となり、共通電極領域からの電極の引き出しに2点のコンタクトを必要とする点、およびトランジスタ間隔縮小の点で限界が生じ、微細化を進める上で問題があった。

〔目的〕

本発明はこのような問題点を解決するもので、その目的とするところは、同一半導体上に、N型トランジスタおよびP型トランジスタを形成して薄膜CMOS回路を構成することにより、トランジスタ間隔を縮

少させ、かつ共通電極を唯一のコンタクトで取り  
 O M O S 回路の微細化をはかることにある。

#### 【概要】

N 型薄膜トランジスタおよび P 型薄膜トランジスタで構成する薄膜 O M O S 回路の共通となる電極部を、同一半導体に形成し、かつ唯一のコンタクトで電極を形成することを、特徴とする。

#### 【実施例】

以下、本発明について、実施例に基づき詳細に説明する。

説明にあたり、回路として基本回路であるインバータを使用する。第 1 図が従来のシリコンウエハに作製したインバータを、第 2 図が P N P で構成したインバータを示す。第 1 図 (a) および第 2 図 (a) は、インバータの上図面を、第 1 図 (b) および第 2 図 (b) は、各々 A A' および B B' で切断した際の断面図である。

第 1 図と第 2 図で示す O M O S 回路の構造上ならびに作製上の相異点は、薄膜 O M O S 回路 (第 2 図 (b)) では、ウエル 2 を形成することなく

同一半導体層 12 に、N 型 P N P および P 型 P N P のソースおよびドレイン領域を形成していること、さらに、N 型トランジスタおよび P 型トランジスタの電極の中で、共通となる電極、図中では、ドレイン電極とゲート電極であるが、ドレイン電極を、両トランジスタのドレイン領域より、唯一のコンタクトにより取り出していることである。

続いて薄膜 O M O S 回路の製造法について、説明を加える。

絶縁基板 11 上に半導体層 12 を形成し、適当な形状にエッチングした後ゲート膜を形成する。次いで、半導体層形成後の不純物拡散あるいは高導電性材料によりゲート電極 17 を形成し、N 型 P N P および P 型 P N P のソースおよびドレイン領域を不純物イオンビームのイオン打ち込み等で形成する。ソースおよびドレイン領域は、片側の P N P を、レジスト等でマスクをして、N 型 P N P および P 型 P N P で別々に形成する。第 2 図 (b) の如くソースおよびドレイン領域は、両トランジ

スタ共に同一半導体層に形成し、特にドレイン領域は、両トランジスタ間で十分近接させ、13, 14, 15 のような構造とする。次いで層間絶縁層 18 を形成した後、導電性材料によりコンタクトをとり、インバータを形成する。

加えて、第 3 図は、作製法は前述のとおりであるが、共通であるドレイン電極を、イオン打ち込み等で形成したドレイン領域の、P 型および N 型不純物が混在する重なり領域 15 より取り出したことを示す図である。

第 4 図は、ソース領域およびドレイン領域の形成法を除いて上述と同様に作製する。ソース領域およびドレイン領域は、不純物注入の際、まずソース領域およびドレイン領域全面に N 型不純物または P 型不純物を注入し、N 型不純物注入の際は N 型 P N P を、P 型不純物注入の際は P 型 P N P を、レジスト等でマスクをして、逆の型の不純物注入を行ない、N 型 P N P および P 型 P N P のソース領域およびドレイン領域を形成する。

#### 【効果】

以上述べてきたように、本発明によれば、薄膜 O M O S 回路の N 型 P N P および P 型 P N P において、各々のソース領域およびドレイン領域を、同一の半導体薄膜中に形成することで、トランジスタ間隔の大幅な減少が可能となり、薄膜 O M O S 回路自体の微細化および薄膜 O M O S 回路を用いた集積回路の高集積化に多大な効果を有するものである。

加えて、第 3 図に示す如く、ソース領域およびドレイン領域を、多結晶中あるいは非晶質層中に形成するので、P 型領域と N 型領域との接合による、キャリアの流れの制限が、単結晶中に形成する際と比較して、緩和され第 3 図のような電極の引き出しにより、コンタクトを十分に取ることができる。

第 4 図では、N 型 P N P および P 型 P N P の共通電極領域の境界部の構造が簡略化されるので、第 2 図の如く、共通電極 19 の取り出しを、N 型 P N P および P 型 P N P に、またがって取り出す

場合には、型の異なる不純物の混在領域がないので共通電極部の縮小が可能となり、さらに進んだ微細化が可能となる。

#### 4. 図面の簡単な説明

第1図は従来のCMOSインバータの構造を、第2図は、薄膜CMOSインバータを示す。両図ともに(=)が上面図、(A)が断面図である。

第3図は、第2図において、ドレイン電極のコンタクト位置を、ドレインの重なり部より取り出した構造を示す図である。

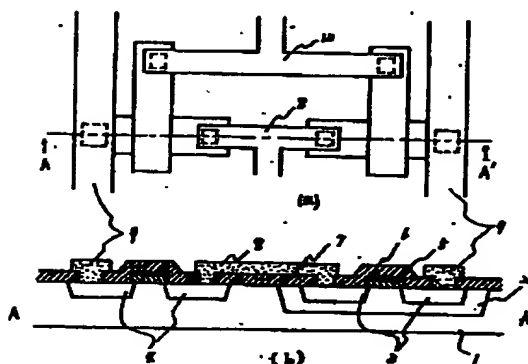
第4図は、ドレインおよびソース領域の形成方法が異なる薄膜CMOSインバータの構造を示す。

- 1 ---シリコンウエハ
- 2 ---ウエル
- 3 ---ソース(右)およびドレイン(左)領域
- 4 ---ソース(左)およびドレイン(右)領域
- 5 ---ゲート膜
- 6 ---ゲート電極

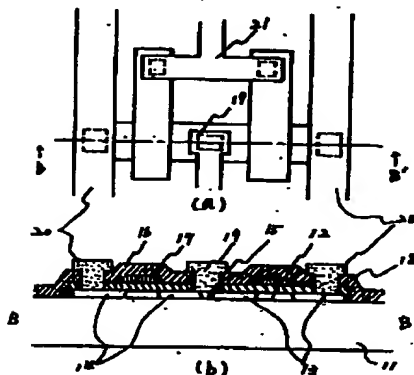
- 7 ---絶縁膜
- 8 ---出力ライン(ドレイン電極)
- 9 ---電源ライン(ソース電極)
- 10 ---入力ライン(ゲート電極)
- 11 ---絶縁基板
- 12 ---半導体層
- 13 ---ソース(右)およびドレイン(左)領域
- 14 ---ソース(左)およびドレイン(右)領域
- 15 ---ドレインの重なり領域
- 16 ---ゲート膜
- 17 ---ゲート電極
- 18 ---絶縁膜
- 19 ---出力ライン(ドレイン電極)
- 20 ---電源ライン(ソース電極)
- 21 ---入力ライン(ゲート電極)

以上

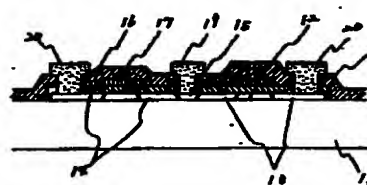
出願人 株式会社日立製作所  
代理人 弁理士 最上 壽



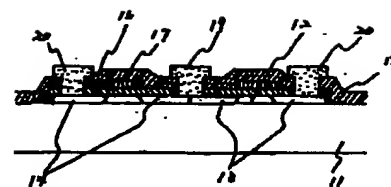
第1図



第2図



第3図



第4図